

画像処理用ベクトル量子化プロセッサに関する研究

著者	野澤 俊之
号	2798
発行年	2001
URL	http://hdl.handle.net/10097/8071

氏名	野澤 俊之
授与学位	博士(工学)
学位授与年月日	平成14年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科(博士課程)電子工学専攻
学位論文題目	画像処理用ベクトル量子化プロセッサに関する研究
指導教官	東北大学教授 大見 忠弘
論文審査委員	主査 東北大学教授 大見 忠弘 東北大学教授 川又 政征 東北大学教授 亀山 充隆 東北大学助教授 小谷 光司 (情報科学研究科)

論文内容要旨

近年の情報通信技術の発展に伴い、デジタル画像情報を高圧縮率かつ高品位に圧縮する技術の重要性がますます高まっている。ベクトル量子化(VQ)は画像圧縮の分野で有望な手法だが、符号化の演算量が極めて多く、マイクロプロセッサでは満足な速度で処理できないという事情から、実用化が阻まれてきた。本研究では、VQ技術の実用化を目指して、無駄な演算を省略する手法と並列処理とを組み合わせた高速なVQ符号化プロセッサを開発した。また、VQ符号化プロセッサを通して示されたように、専用LSIは汎用マイクロプロセッサと比較して極めて高い性能を低消費電力で実現できる。しかしながら、開発期間が長く、開発コストも高いという問題があった。これらの問題を解決するために、LSI開発を短期間化する技術の開発を行った。本論文は、これらの研究成果を取りまとめたものである。

第1章は序論である。

第2章では、動画像を実時間で圧縮できるVQプロセッサを開発した。従来開発されているVQプロセッサは、完全並列処理により高速な符号化を実現していたため、必然的にハードウェア量が多く、実用的ではなかった。そこで、無駄な演算を省略する手法を新たに開発し、並列ハードウェア上に実装することで、高速な処理と実用的なハードウェア規模とを兼ね備えたVQプロセッサを開発した。このプロセッサは、2段階検索VQ符号化という演算省略手法の採用により、演算ユニットの数を従来の完全並列型VQプロセッサの8分の1にまで減少させることに成功している。開発したVQプロセッサは、0.35 μ m 3層メタルCMOSプロセスで製造されており、9.73mm角のダイに約350万個のトランジスタを集積している。電源電圧2.5V、クロック周波数33MHzの場合の消費電力は790mWである。このVQプロセッサは、1チップで2048個の16次元テンプレートベクトルを扱うことが可能であり、毎秒30フレーム、VGAサイズのフルカラー動画像をリアルタイムで圧縮することができる。また、このVQプロセッサを採用したリアルタイム動画像圧縮ボードを開発し、リアルタイム動画像圧縮・配信システムを構築した。リアルタイム動画像圧縮ボードの写真を図1に示す。

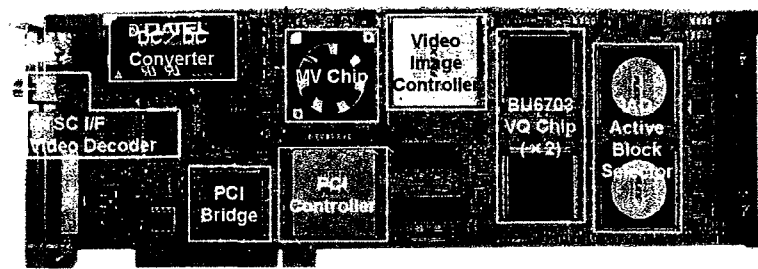


図1. リアルタイム動画画像圧縮ボード。

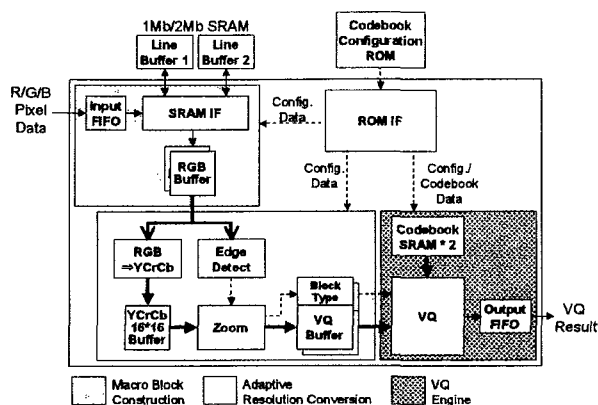


図2 VQ静止画エンコーダのブロック図。

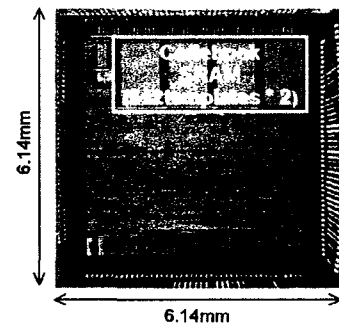


図3. VQ静止画エンコーダのチップ写真。

第3章では、数百万画素の大画面画像を高品質かつ高速に圧縮する静止画圧縮プロセッサを開発した。第2章で開発した演算省略手法は、VQ符号化の精度を若干犠牲にする。静止画圧縮においては、VQ符号化の精度低下が知覚されやすいため、符号化精度を犠牲にしない演算省略手法を新たに開発した。この演算省略手法は、ベクトル演算である距離演算と、スカラー演算であるベクトルの要素の総和の差分絶対値との間の不等式を利用することで、ベクトル演算である距離演算を減少させるというものである。また、開発した演算省略手法に基いた並列処理VQ符号化ハードウェアを開発した。開発したVQ符号化ハードウェアは、SIMD型の並列処理と演算省略手法とを組み合わせることにより、高速な処理を少ないハードウェアで実現している。このVQ符号化ハードウェアを画像圧縮に適用した場合、全数検索VQ符号化の約40%以下の演算量で符号化を行なうことができる。また、上述のVQ符号化ハードウェアと新開発の静止画圧縮アルゴリズムに基づいて、静止画圧縮プロセッサを開発した。チップのブロック図を図2に、チップ写真を図3に示す。この静止画圧縮チップは、0.35 μ m 3層メタルCMOSプロセスで製造されており、ダイサイズは6.14mm角である。電源電圧2.5V、66MHz動作の時、消費電力は660mWである。このプロセッサは、1600 \times 2400画素のフルカラー画像を1秒以下で圧縮できる。開発したプロセッサは、一般的なパーソナルコンピュータ用マイクロプロセッサの約35分の1の消費電力で、30倍高速に画像を圧縮できる。また、開発した静止画圧縮プロセッサを採用した静止画圧縮アクセラレータボードを開発した。これを図4に示す。このボードはPCIバスに準拠しており、一般のパーソナルコンピュータに挿入することで高速な静止

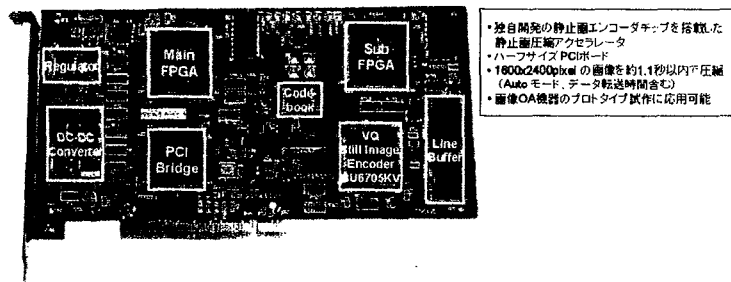


図4. 静止画圧縮ボード。

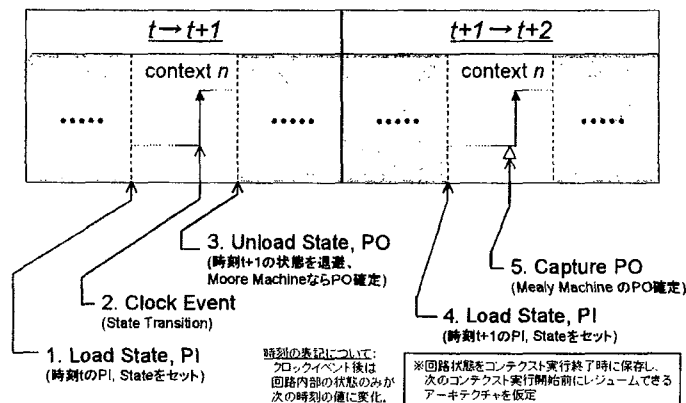


図5. 動的再構成型FPGAの回路実行シーケンス。

画圧縮を実現できる。

第4章では、システムLSIの開発期間を短縮するための基礎的検討を行なった。システムLSI開発工程の中では、検証工程がボトルネックとなることが多いため、検証に重点を置いて検討を行なった。検証を高速化する装置であるハードウェアエミュレータは、著しく高価で大規模なため、それを必要とする人に行き渡っていないという問題がある。従って、ハードウェアエミュレータを小型化・低価格化して一般に普及させることを目標に研究を行なった。小型で安価なハードウェアエミュレータを実現するための基礎として、回路の時間的分割に基づくハードウェアエミュレーション技術の開発を行なった。まず、時分割した回路をタイミング的に矛盾無く実行できる実行手順を提案した(図5)。提案した実行手順は、エミュレーションチップの機能切り替えのタイミングと、実行している回路のクロックイベントとを分離することで、タイミング問題を回避した。また、提案した実行手順に基づいて時分割回路を矛盾無く実行できるマルチコンテキストFPGA型のエミュレーション・チップ・アーキテクチャを構築した。さらに、マルチコンテキストFPGA型エミュレーション・チップの性能的评价を行ない、エミュレーション・チップ・アーキテクチャ開発への指針を示した。

第5章は結論である。

本論文は、VQを使った画像圧縮技術の実用化を阻んできた符号化演算量の問題を専用LSIにより克服できることを示すとともに、専用LSI開発の短期間化をもたらす安価で小型なハードウェアエミュレータを実現するための基礎技術を開発したものである。

論文審査結果の要旨

近年の情報通信技術の発展に伴い、デジタル画像情報を高品位かつ高い圧縮率で圧縮する技術の重要性がますます高まっている。ベクトル量子化(VQ)は画像圧縮の分野で有望な手法だが、符号化の演算量が極めて多く、汎用のマイクロプロセッサでは満足な速度で処理できないという事情から、実用化が阻まれてきた。著者は、VQ技術の実用化を目指して、並列処理と無駄な演算を省略する手法を組み合わせた高速なVQ符号化プロセッサを開発した。また、著者は、VQプロセッサ開発の経験から、専用LSIは汎用マイクロプロセッサに比して低消費電力で極めて高い性能を実現できることから、専用LSIを短期間で設計することにより、顧客のニーズの変化が激しいエレクトロニクス製品の瞬時製品化を実現することを目的として、システムLSI開発期間を短縮する技術の開発を行なった。本論文は、これらの研究成果を取りまとめたもので、全文5章よりなる。

第1章は序論である。

第2章では、動画像を実時間で圧縮可能なVQプロセッサを開発した成果について述べている。従来開発されているVQプロセッサは、完全並列処理により高速な符号化を実現していたため、必然的にハードウェア量が多く、実用的ではなかった。そこで新たに無駄な演算を省略する手法を開発し、並列ハードウェア上に実装することで、高速な処理と実用的なハードウェア規模を兼ね備えたVQプロセッサを開発した。このプロセッサは、演算省略手法の採用により、演算ユニットの数を従来の完全並列型VQプロセッサの8分の1まで減少させることに成功している。また、このVQプロセッサを採用して動画像圧縮配信システムを構築した。これらは、VQに基づく画像圧縮システムが実用的な回路規模で実現できることを示した、実用上有益な成果である。

第3章では、数百万画素の大画面高精細画像を高品質かつ高速に圧縮する静止画圧縮プロセッサについて述べている。第2章で開発した演算省略手法はVQ符号化の精度を若干犠牲にする。静止画圧縮においては、VQ符号化の精度低下が容易に知覚されるため、精度を犠牲にしない演算省略手法を新たに開発した。この新たに開発した演算省略手法に基いて開発した並列処理VQ符号化ハードウェアは、全数検索VQ符号化の40%以下の演算量で全数検索と同じ精度で符号化を行なうことが可能である。このVQ符号化ハードウェアと新開発の静止画圧縮アルゴリズムに基いて、開発した静止画圧縮プロセッサは、1600×2400画素のフルカラー画像を1秒以下で処理可能である。開発したプロセッサは、一般的なパーソナルコンピュータ用マイクロプロセッサの約35分の1の消費電力で、40倍高速に画像を圧縮処理可能であり、ワイヤレスプロジェクトや文書ファイル等に実用化されることが決まっており、きわめて重要な成果である。

第4章では、小型で安価なハードウェアエミュレータを実現するために、回路の時間的分割に基づくハードウェアエミュレーション技術の開発について述べている。時分割した回路を、タイミング的に矛盾なく実行できる実行手順を提案し、それに基づいて時分割回路を矛盾なく実行できるマルチコンテキストFPGA型のエミュレーション・チップ・アーキテクチャを提案した。また、マルチコンテキストFPGAのエミュレータ応用における性能評価を行ない、アーキテクチャ開発への指針を示した。これらは、回路の時間的分割に基づくハードウェアエミュレーション技術にとって基礎的かつ重要な成果である。

第5章は結論である。

以上要するに本論文は、VQによる画像圧縮技術の実用化を阻んできた膨大な符号化演算量の問題を、演算省略手法に基いた専用ハードウェアにより克服できることを示すとともに、安価で小型なハードウェアエミュレータを実現する基礎となる指針を導いたもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。